

— — — — —

Also published as:
 US6542996 (B

100

—

1

公告本

448352

申請日期	88.9.-6
案 號	88115320
類 別	G06F 1/32

A4
C4

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	暫停至記憶體模式下之省電裝置與方法
	英 文	
二、發明 創作人	姓 名	1 張乃舜 2 謝正立
	國 籍	中華民國
	住、居所	1 台北縣中和市秀朗路三段 10 巷 14 弄 26-6 號 7 樓 2 台北縣永和市中和路 439 號 3 樓
三、申請人	姓 名 (名稱)	威盛電子股份有限公司
	國 籍	中華民國
	住、居所 (事務所)	台北縣新店市中正路 533 號 8 樓
	代 表 人 姓 名	王雪紅

裝

訂

線

四、中文發明摘要（發明之名稱： 暫停至記憶體模式下之省電裝置 ）
與方法

一種暫停至記憶體模式下之省電裝置與方法，其利用 SDRAM 記憶體具有自我更新的能力，並且不需要控制晶片供應控制訊號的特性。當要進入暫停至記憶體模式時，第一控制晶片(北橋)將系統記憶體的資料透過第二控制晶片(南橋)儲存到一記憶器中。接著由南橋將系統記憶體的時脈致能接腳之電壓準位拉低。最後由基本輸出輸入系統將北橋的電源切斷，以進入暫停至記憶體模式。依據此概念所提出的控制電路與方法為本發明之特徵。

英文發明摘要（發明之名稱：)

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

五、發明說明 (/)

本發明係有關於一種電腦系統電源管理控制電路，特別是有關於以微處理器為基礎的個人電腦、或工作站電腦在暫停至記憶體模式下的電源管理控制電路。

美國英代爾公司(Intel Corporation)先前提議一種其稱為 ATX 的個人電腦主機規格，其中的電源供應器不再是以機械式的開路/閉路開關作為電腦系統的主要控制開關而對系統進行直接控制。之後，英代爾(Intel)、微軟(Microsoft)與東芝(Toshiba)提出 ACPI(advanced configuration and power interface)規格，規定電腦系統在工作與關機之間共有 4 種待命狀態，電腦根據工作量的多寡而決定進入何種狀態，以節省能源；其中依據節省能源由少至多大致上分成：S1. 停止中央處理單元時鐘(stop CPU clock)；S2. 暫停至記憶體(suspend to RAM)；S3. 暫停至磁碟(suspend to disk)；S4. 軟關機(soft off)。在暫停至記憶體時，主機板上除了及時時鐘(real-time clock)外，其餘的時脈(clock pluse)都已經暫停動作，此時中央處理單元及其他電路因為沒有輸入時脈而停止工作。

在一電腦系統中，系統記憶體的種類繁多，如 FP 記憶體(fast page memory)、EDO 記憶體(extended data out memory)與 SDRAM 記憶體(synchrotron dynamic random access memory)等。各種記憶體均有其特性，因此系統廠商設計暫停至記憶體(STR)便必須依據記憶體的種類來設計。上述之 EDO 記憶體在進入 STR 模式後，由於仍需要北橋持續送出控制訊號來讓記憶體進行更新(refresh)操

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(二)

作。因此，在習知技術之 STR 模式下，北橋便必須持續供應電源，以完成 EDO 記憶體之更新操作。然而，對於 SDRAM 記憶體而言，其具有自我更新(self-refresh)的能力，因此在 STR 模式下，北橋可以不必供應電源。如第 1 圖所示，其繪示 SDRAM 記憶體進入與離開自我更新模式的操作時序圖。由圖中可以看出，當 SDRAM 在進入自我更新模式時，記憶體的時脈致能 CKE 腳位之電壓準位拉至低準位；當 SDRAM 記憶體的時脈致能 CKE 腳位之電壓準位拉至高準位，然後對 SDRAM 下執行命令後，便可以離開 SDRAM 記憶體之自我更新模式。因此，在目前 SDRAM 記憶體已經近乎完全取代 EDO 記憶體的情況之下，提出一種新的 STR 模式之省電裝置與方法是必要的。

因此，本發明係提出一種暫停至記憶體模式下之省電裝置與方法，其可以在暫停至記憶體模式下，可以將北橋電源關閉，以達到更有效率的省電模式。

本發明係提出一種暫停至記憶體模式下之省電裝置與方法，其在暫停至記憶體模式下，可以將北橋內所儲存的與系統記憶體相關的資料預先暫存。待復電時，在將資料回存到北橋，避免在對系統記憶體再次進行組態偵測。

本發明所提出之暫停至記憶體模式下之省電裝置與方法，其簡述如下：

一種暫停至記憶體模式下之省電裝置，係應用於一計算機系統，其包括第一控制晶片(如北橋)，其中至少具有一暫存器，用以儲存系統記憶體之資料。第二控制晶片(如

五、發明說明(3)

南橋)，耦接至第一控制晶片，用以依據基本輸出輸入系統(BIOS)的通知，停止第一控制晶片的供電。電壓準位轉換裝置，耦接到第二控制晶片與系統記憶體之時脈致能腳位，用以將系統記憶體之時脈致能腳位之電壓準位拉低。記憶體，耦接至第二控制晶片，用以將儲存於第一控制晶片之暫存器之資料暫存至記憶體中。當計算機系統進入暫停至記憶體模式時，預先將儲存於第一控制晶片之暫存器之資料暫存至記憶體。接著，將系統記憶體之時脈致能腳位之電壓準位拉低。最後，由基本輸出輸入系統(BIOS)的通知，停止第一控制晶片的供電，使計算機系統進入該暫停至記憶體模式。

上述之系統記憶體之時脈致能腳位的電壓準位拉低係由第二控制晶片來完成；此外，也可以設計成以第一控制晶片來完成。記憶體則可以使用第二控制晶片中的 CMOS-RAM 記憶體或 EEPROM 記憶體來完成，或經由一匯流排耦接到一外部的 EEPROM 記憶體。

一種暫停至記憶體模式下之省電方法，係應用於一電腦系統中，電腦系統至少包括中央處理器、第一控制晶片(北橋)，與中央處理器耦接，第二控制晶片組(南橋)，以及系統記憶體，其中第一與第二控制晶片均耦接到一匯流排，系統記憶體耦接至第一控制晶片。暫停至記憶體模式下之省電方法包括：判斷電腦系統將進入暫停至記憶體模式或復電模式。當電腦系統進入暫停至記憶體模式時，首先，將第一控制晶片中之暫存器內所儲存的資料透過第二

五、發明說明(4)

控制晶片儲存到記憶體中；接著，將系統記憶體之時脈致能腳位的電壓準位拉低；最後，第二控制晶片依據基本輸出輸入系統(BIOS)的通知，將第一控制晶片之電源關掉，藉以使電腦系統進入暫停至記憶體模式。當電腦系統為該復電模式時，第二控制晶片依據基本輸出輸入系統(BIOS)的通知，重新供電給第一控制晶片；接著，將系統記憶體之時脈致能腳位的電壓準位拉高；將記憶體中所暫存的資料透過第二控制晶片儲存到第一控制晶片中之暫存器內，並使電腦系統進入復電模式，藉以正常工作。

藉由本發明之裝置與方法，在進入暫停至記憶體模式後，可以將北橋的電源關閉，使省電效率提昇。並且，在復電後，不必重新偵測系統記憶體之組態。

為讓本發明之上述目的、特徵、和優點能更明顯易懂，下文特舉較佳實施例，並配合所附圖式，作詳細說明如下：

圖式之簡單說明：

第 1 圖繪示同步動態隨機存取記憶體的自我更新操作時脈圖；

第 2 圖繪示依據本發明之暫停至記憶體模式下之省電裝置的電路方塊示意圖；

第 3A 圖與第 3B 圖分別繪示第 2 圖之記憶體與第二控制晶片的配置位置示意圖；以及

第 4 圖繪示依據本發明之暫停至記憶體模式下之省電方法的操作流程示意圖。

標號說明：

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (5)

- | | |
|---------------------------|------------|
| 100 中央處理器 | 102 第一控制晶片 |
| 104 第二控制晶片 | 106 系統記憶體 |
| 109 暫存器 | 110 開關電晶體 |
| 112a/b 記憶器 | 114 匯流排 |
| 202~208 進入暫停至記憶體模式之各個操作流程 | |
| 202, 210~214 系統復電之各個操作流程 | |

實施例

請參照第 2 圖，其繪示本發明之暫停至記憶體 (suspension to RAM, STR) 模式下之省電裝置，係應用於一計算機系統，如桌上型電腦或筆記型電腦等。暫停至記憶體模式下之省電裝置包括：第一控制晶片 102，如做為系統控制晶片組的北橋，第一控制晶片 102 至少具有一暫存器 109，用以儲存系統記憶體 (SDRAM) 106 之資料，如記憶體模組 (如 DIMM) 之數目、記憶體位址 (memory address) 等的資料。第二控制晶片 104，如做為周邊控制晶片組的南橋，其耦接至第一控制晶片 102。第一與第二控制晶片可以整合於單一晶片組或彼此獨立之晶片組。開關裝置 110，其可以使用一電晶體來完成。如圖所示，電晶體關裝置 110 之閘極係耦接到第二控制晶片 104 的一接腳，如可以使用泛用輸出入 (general purpose Input/output, GPIO) 接腳。而開關裝置 110 之汲極則經由 CKE 接腳與系統記憶體 106 耦接。記憶器 112a/112b，耦接至第二控制晶片 104，用以將儲存於第一控制晶片 102 之暫存器 109 之資料暫存至記憶器 112a/112b 中。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(6)

當計算機系統進入暫停至記憶體模式時，首先，儲存於第一控制晶片 102 之暫存器 109 內之系統記憶體 106 的相關資料暫存至記憶器 112a/112b。接著，開關裝置 110 將系統記憶體 106 之時脈致能 CKE 腳位之電壓準位拉低。依據基本輸出輸入系統(BIOS)的通知，第二控制晶片 104 停止第一控制晶片 102 的供電，使計算機系統進入該暫停至記憶體模式。

第 3A 圖或第 3B 圖所繪示的電路則揭露出記憶器 112a/112b 與第二控制晶片 102 之間的配置位置示意圖。如第 3A 圖所示，記憶器 112a 可設置於第二控制晶片 104 之中，並且可以為不斷電之互補式金屬氧化物記憶體(CMOS-RAM)或是電性可抹除可程式唯讀記憶體(EEPROM)所構成。第 4B 圖則指出記憶器 112b 可以位在第二控制晶片 102 之外，並且透過匯流排 114 來傳遞資料，此匯流排可以為系統管理匯流排(system management bus, SMB)。

綜上所述，藉由本發明之暫停至記憶體模式下之省電裝置，第一控制晶片(北橋)的電源在暫停至記憶體模式下被切斷，所以可以得到更好的省電效果，此乃 SDRAM 記憶體具有自我更新的能力，不需要額外供電，所以可以將北橋的電源切斷。其次，在進入暫停至記憶體模式之前，北橋中之暫存器所儲存的與 SDRAM 記憶體的相關資料，如記憶體模組(DIMM)的數目與記憶體位址等的資料均預先透過第二晶片(南橋)儲存到一記憶器中。因此，當系統復電時，僅需要將記憶器中的資料在存回北橋中，而不必重

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(7)

新去偵測系統記憶體，所以可以避免在系統處於暫停至記憶體模式下時，系統記憶體中所儲存的資料流失。

爲了更明白說明本發明之概念，將本發明之方法再以第 4 圖之流程圖來加強說明。請參考第 4 圖，其繪示依據本發明之暫停至記憶體模式下之省電方法的操作流程示意圖。本方法係適用於一電腦系統中，如桌上型或筆記型電腦等系統，此電腦系統至少包括中央處理器(CPU)、第一控制晶片(例如做爲系統控制之北橋晶片組)，耦接至中央處理器、第二控制晶片組(例如做爲周邊控制之南橋晶片組)、以及系統記憶體(system memory，即 SDRAM)，其中第一與第二控制晶片均以匯流排(例如 PCI 匯流排)耦接，系統記憶體耦接至第一控制晶片。

首先，在步驟 202，系統會判斷系統是要進入暫停至記憶體(STR)模式或是從 STR 模式下復電。

當電腦系統進入暫停至記憶體模式時，首先在步驟 204，將第一控制晶片中之暫存器內所儲存的資料透過第二控制晶片儲存到記憶體中，其中第一控制晶片中之暫存器所儲存的資料係如記憶體模組(DIMM)的數目與記憶體位址等。接著，在步驟 206，將系統記憶體之時脈致能 CKE 腳位的電壓準位拉低。將電壓準位拉低的方法則可以使用上述之第 2 圖所揭露的電路結構來實施。接著，在步驟 208 時，第二控制晶片依據基本輸出輸入系統(BIOS)的通知，將第一控制晶片之電源關掉，藉以使電腦系統進入暫停至記憶體模式。如此便可以達到更省電的效果。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(8)

當電腦系統為復電模式時，即從暫停至記憶體模式回復到正常的工作狀態。首先，在步驟 210，第二控制晶片依據 BIOS 的通知，重新供應電源給第一控制晶片。接著，在步驟 212，記憶器中所暫存的資料(即上述之記憶體模組(DIMM)的數目與記憶體位址等)透過第二控制晶片儲存到第一控制晶片中之該暫存器內。最後，在步驟 214，將系統記憶體之時脈致能 CKE 腳位的電壓準位拉高。將電壓準位拉高的方法則可以使用上述之第 2 圖所揭露的電路結構來加以實施，並使電腦系統進入復電模式，藉以正常工作。由於系統復電時，僅需要將記憶器中的資料在存回北橋中，而不必重新去偵測系統記憶體的組態，所以可以避免在系統處於暫停至記憶體模式下時，系統記憶體中所儲存的資料流失。

綜上所述，本發明之暫停至記憶體模式下之省電裝置與方法，與習知技術相較之下，具有以下的優點與功效：

本發明之暫停至記憶體模式下之省電裝置與方法，在進入暫停至記憶體模式係由 BIOS 通知第二控制晶片(南橋)將第一控制晶片(北橋)之電源切斷。因此，在暫停模式時，北橋不供電，使具有更高的省電效率。

本發明之暫停至記憶體模式下之省電裝置與方法，在進入暫停至記憶體模式時，系統記憶體之時脈致能腳位的電壓準位拉低可以由南橋來控制。

本發明之暫停至記憶體模式下之省電裝置與方法，在進入暫停至記憶體模式時，北橋中所儲存之與系統記憶體

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(9)

相關的組態資料會先暫存於南橋中；等復電時，再存回北橋，所以不必重新去偵測系統記憶體組態，所以可以避免在系統處於暫停至記憶體模式下時，系統記憶體中所儲存的資料流失。

綜上所述，雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

1.一種暫停至記憶體模式下之省電方法，係應用於一電腦系統中，該電腦系統至少包括一中央處理器、一控制晶片耦接至該中央處理器，以及一系統記憶體，其中該控制晶片更包括一第一與一第二控制晶片，該系統記憶體耦接至該第一控制晶片，該暫停至記憶體模式下之省電方法包括：

判斷該電腦系統將進入一暫停至記憶體模式或一復電模式；

當該電腦系統進入該暫停至記憶體模式時，

將該第一控制晶片中之一暫存器內所儲存的資料儲存到一記憶器中；

將該系統記憶體之一時脈致能腳位的電壓準位拉低，以及

該第二控制晶片依據基本輸出輸入系統(BIOS)的通知，將該第一控制晶片之電源關掉，藉以使該電腦系統進入該暫停至記憶體模式；

當該電腦系統為該復電模式時，

該第二控制晶片依據基本輸出輸入系統(BIOS)的通知，重新供電給該第一控制晶片；

將該記憶器中所暫存的資料儲存到該第一控制晶片中之該暫存器內；以及

將該系統記憶體之該時脈致能腳位的電壓準位拉高，並使該電腦系統進入該復電模式，藉以正常工作。

2.如申請專利範圍第 1 項所述之暫停至記憶體模式下

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

煩請委員明示，本案修正後是否變更原實質內容

六、申請專利範圍

1. 一種暫停至記憶體模式下之省電方法，係應用於一電腦系統中，該電腦系統至少包括一中央處理器、一控制晶片耦接至該中央處理器，以及一系統記憶體，其中該控制晶片更包括一第一與一第二控制晶片，該系統記憶體耦接至該第一控制晶片，該暫停至記憶體模式下之省電方法包括：

判斷該電腦系統將進入一暫停至記憶體模式或一復電模式；

當該電腦系統進入該暫停至記憶體模式時，

將該第一控制晶片中之一暫存器內所儲存的資料儲存到一記憶器中；

將該系統記憶體之一時脈致能腳位的電壓準位拉低，以及

該第二控制晶片依據基本輸出輸入系統(BIOS)的通知，將該第一控制晶片之電源關掉，藉以使該電腦系統進入該暫停至記憶體模式；

當該電腦系統為該復電模式時，

該第二控制晶片依據基本輸出輸入系統(BIOS)的通知，重新供電給該第一控制晶片；

將該記憶器中所暫存的資料儲存到該第一控制晶片中之該暫存器內；以及

將該系統記憶體之該時脈致能腳位的電壓準位拉高，並使該電腦系統進入該復電模式，藉以正常工作。

2. 如申請專利範圍第 1 項所述之暫停至記憶體模式下

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

項請委員明示，本案修正後是否變更原實質內容

六、申請專利範圍

之省電方法，其中該系統記憶體之該時脈致能腳位的電壓拉低係由該第一控制晶片所控制。

3.如申請專利範圍第 1 項所述之暫停至記憶體模式下之省電方法，其中該系統記憶體之該時脈致能腳位的電壓拉低係由一開關所控制，其中該開關係耦接於該系統記憶體之該時脈致能腳位與該第二控制晶片的其中之一接腳。

4.如申請專利範圍第 1 項所述之暫停至記憶體模式下之省電方法，其中用以儲存該第一控制晶片中之該暫存器內所儲存的資料的該記憶器係配置於該第二控制晶片內部。

5.如申請專利範圍第 1 項所述之暫停至記憶體模式下之省電方法，其中用以儲存該第一控制晶片中之該暫存器內所儲存的資料的該記憶器係配置於該第二控制晶片外部，並且該記憶器與該第二控制晶片透過一系統管理匯流排(system management bus, SM bus)來連接。

6.如申請專利範圍第 4 項所述之暫停至記憶體模式下之省電方法，其中該記憶器包含不斷電之互補式金屬氧化物記憶體(CMOS-RAM)。

7.如申請專利範圍第 4 項所述之暫停至記憶體模式下之省電方法，其中該記憶器包含電性可抹除可程式唯讀記憶體(EEPROM)。

8.如申請專利範圍第 5 項所述之暫停至記憶體模式下之省電方法，其中該記憶器包含電性可抹除可程式唯讀記憶體(EEPROM)。

六、申請專利範圍

9.如申請專利範圍第 1 項所述之暫停至記憶體模式下之省電方法，其中該系統記憶器係同步動態隨機存取記憶體(SDRAM)。

10.如申請專利範圍第 1 項所述之暫停至記憶體模式下之省電方法，其中該第一與該第二控制晶片係整合於該控制晶片之中。

11.如申請專利範圍第 1 項所述之暫停至記憶體模式下之省電方法，其中該第一與該第二控制晶片分別包含北橋(north bridge)控制晶片與南橋(south bridge)控制晶片。

12.一種暫停至記憶體模式下之省電裝置，應用於一計算機系統，該暫停至記憶體模式下之省電裝置包括：

一第一控制晶片，其中至少具有一暫存器，用以儲存一系統記憶體之資料；

一第二控制晶片，耦接至該第一控制晶片，用以依據基本輸出輸入系統(BIOS)的通知，停止該第一控制晶片的供電；

一電壓準位轉換裝置，耦接到該第二控制晶片與該系統記憶體之一時脈致能腳位，用以將該系統記憶體之該時脈致能腳位之電壓準位拉低；以及

一記憶器，用以將儲存於該第一控制晶片之該暫存器之資料暫存至該記憶器中，

其中，當計算機系統進入該暫停至記憶體模式時，預先將儲存於該第一控制晶片之該暫存器之資料暫存至該記憶器，將該系統記憶體之該時脈致能腳位之電壓準位拉

(請先閱讀背面之注意事項再填寫本頁)

訂
線

六、申請專利範圍

低，依據基本輸出輸入系統(BIOS)的通知，停止該第一控制晶片的供電，使該計算機系統進入該暫停至記憶體模式。

13.如申請專利範圍第 12 項所述之暫停至記憶體模式下之省電裝置，其中該電壓準位轉換裝置包含一電晶體開關。

14.如申請專利範圍第 12 項所述之暫停至記憶體模式下之省電裝置，其中該電壓準位轉換裝置與該第二控制晶片耦接的接腳包含泛用輸出入(general purpose Input/output, GPIO)接腳。

15.如申請專利範圍第 12 項所述之暫停至記憶體模式下之省電裝置，其中該記憶器係配置於該第二控制晶片內部。

16.如申請專利範圍第 12 項所述之暫停至記憶體模式下之省電裝置，其中該記憶器係配置於該第二控制晶片外部，並且該記憶器與該第二控制晶片透過一系統管理匯流排(system management bus, SM bus)來連接。

17.如申請專利範圍第 15 項所述之暫停至記憶體模式下之省電裝置，其中該記憶器包含從不斷電之互補式金屬氧化物記憶體(CMOS-RAM)與電性可抹除可程式唯讀記憶體(EEPROM)兩者擇一所構成。

18.如申請專利範圍第 16 項所述之暫停至記憶體模式下之省電裝置，其中該記憶器包含電性可抹除可程式唯讀記憶體(EEPROM)。

(請先閱讀背面之注意事項再填寫本頁)

張
訂
線

六、申請專利範圍

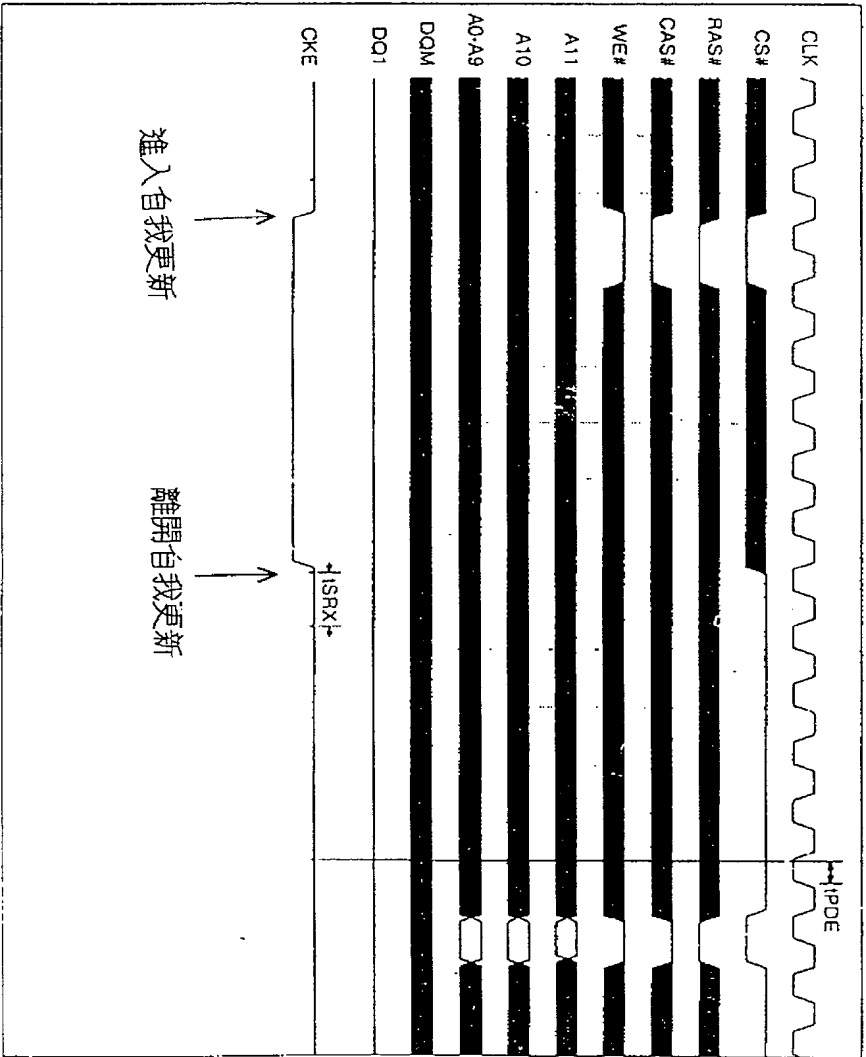
19.如申請專利範圍第 12 項所述之暫停至記憶體模式下之省電裝置，其中該系統記憶器係同步動態隨機存取記憶體(SDRAM)。

20.如申請專利範圍第 12 項所述之暫停至記憶體模式下之省電裝置，其中該第一與該第二控制晶片係整合為一單一控制晶片。

21.如申請專利範圍第 12 項所述之暫停至記憶體模式下之省電裝置，其中該第一與該第二控制晶片分別包含北橋(north bridge)控制晶片與南橋(south bridge)控制晶片。

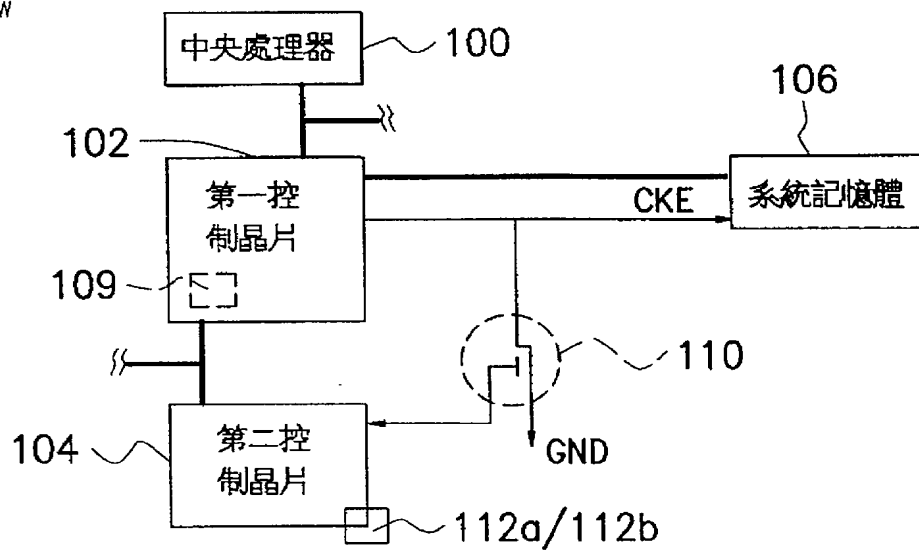
(請先閱讀背面之注意事項再填寫本頁)

訂
線

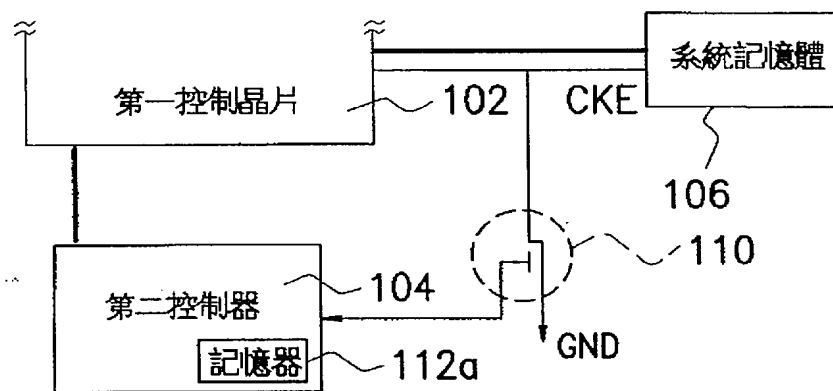


第 1 圖

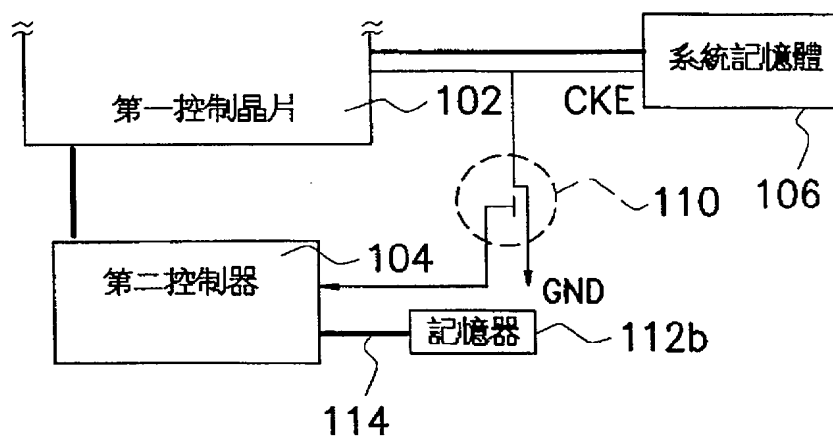
4584TW



第 2 圖

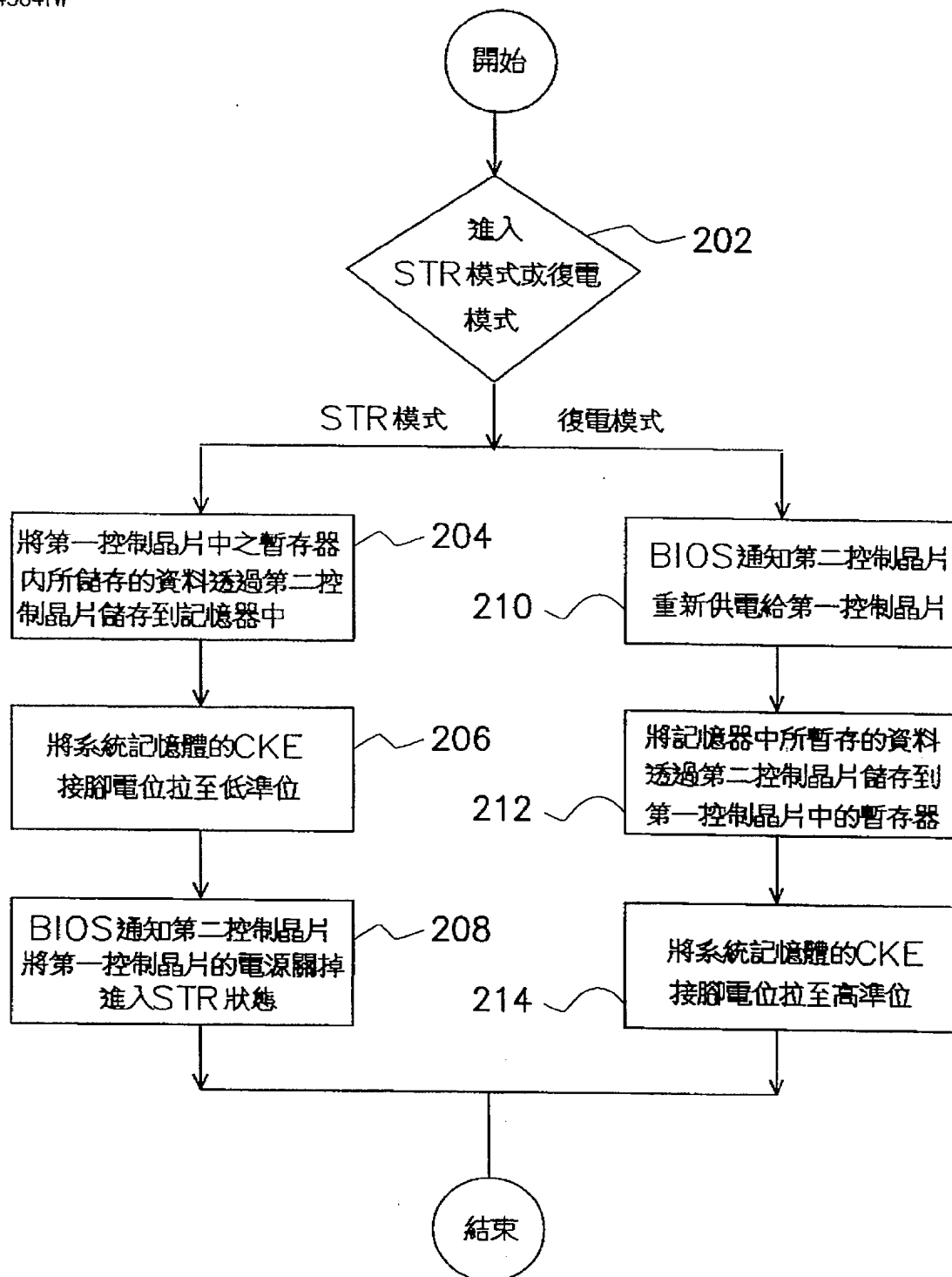


第 3A 圖



第 3B 圖

4584TW



第 4 圖

[12] 發明專利公告 [19]

中華民國專利公報 [19] [12]

[11]公告編號：448352

[44]中華民國 90年(2001) 08月01日

發明

全 5 頁

[51] Int.Cl. 06: G06F1/32

[54]名稱：暫停至記憶體模式下之省電裝置與方法

[21]申請案號：088115320

[22]申請日期：中華民國 88年(1999) 09月06日

[72]發明人：

張乃舜

台北縣中和市秀朗路三段十巷十四弄二十六之六號
七樓

謝正立

台北縣永和市中和路四三九號三樓

[71]申請人：

威盛電子股份有限公司

台北縣新店市中正路五三三號八樓

[74]代理人：詹銘文 先生

1

2

[57]申請專利範圍：

1. 一種暫停至記憶體模式下之省電方法，係應用於一電腦系統中，該電腦系統至少包括一中央處理器、一控制晶片耦接至該中央處理器，以及一系統記憶體，其中該控制晶片更包括一第一與一第二控制晶片，該系統記憶體耦接至該第一控制晶片，該暫停至記憶體模式下之省電方法包括：
判斷該電腦系統將進入一暫停至記憶體模式或一復電模式；
當該電腦系統進入該暫停至記憶體模式時，
將該第一控制晶片中之一暫存器內所儲存的資料儲存到一記憶器中；
將該系統記憶體之一時脈致能腳位的電壓準位拉低，以及
該第二控制晶片依據基本輸出輸入系統(BIOS)的通知，將該第一控制晶片之電源關掉，藉以使該電腦系統進入該暫停至記憶體模式；

當該電腦系統為該復電模式時，
該第二控制晶片依據基本輸出輸入系統(BIOS)的通知，重新供電給該第一控制晶片；

5. 將該記憶器中所暫存的資料儲存到該第一控制晶片中之該暫存器內；以及將該系統記憶體之該時脈致能腳位的電壓準位拉高，並使該電腦系統進入該復電模式，藉以正常工作。
10. 2. 如申請專利範圍第1項之暫停至記憶體模式下之省電方法，其中該系統記憶體之該時脈致能腳位的電壓拉低係由該第一控制晶片所控制。
15. 3. 如申請專利範圍第1項所述之暫停至記憶體模式下之省電方法，其中該系統記憶體之該時脈致能腳位的電壓拉低係由一開關所控制，其中該開關係耦接於該系統記憶體之該時脈致能腳位與該第二控制晶片的其中之一接腳觸。
- 20.

(2)

3

- 4.如申請專利範圍第1項所述之暫停至記憶體模式下之省電方法，其中用以儲存該第一控制晶片中之該暫存器內所儲存的資料的該記憶器係配置於該第二控制晶片內部。
- 5.如申請專利範圍第1項所述之暫停至記憶體模式下之省電方法，其中用以儲存該第一控制晶片中之該暫存器內所儲存的資料的該記憶器係配置於該第二控制晶片外部，並且該記憶器與該第二控制晶片透過一系統管理匯流排(system management bus, SM bus)來連接。
- 6.如申請專利範圍第4項所述之暫停至記憶體模式下之省電方法，其中該記憶器包含不斷電之互補式金屬氧化物記憶體(CMOS-RAM)。
- 7.如申請專利範圍第4項所述之暫停至記憶體模式下之省電方法，其中該記憶器包含電性可抹除可程式唯讀記憶體(EEPROM)。
- 8.如申請專利範圍第5項所述之暫停至記憶體模式下之省電方法，其中該記憶器包含電性可抹除可程式唯讀記憶體(EEPROM)。
- 9.如申請專利範圍第1項所述之暫停至記憶體模式下之省電方法，其中該系統記憶器係同步動態隨機存取記憶體(SDRAM)。
- 10.如申請專利範圍第1項所述之暫停至記憶體模式下之省電方法，其中該第一與該第二控制晶片係整合於該控制晶片之中。
- 11.如申請專利範圍第1項所述之暫停至記憶體模式下之省電方法，其中該第一與該第二控制晶片分別包含北橋(north bridge)控制晶片與南橋(south bridge)控制晶片。
- 12.一種暫停至記憶體模式下之省電裝置，應用於一計算機系統，該暫停至

4

- 記憶體模式下之省電裝置包括：
- 一第一控制晶片，其中至少具有一暫存器，用以儲存一系統記憶體之資料；
 5. 一第二控制晶片，耦接至該第一控制晶片，用以依據基本輸出輸入系統(BIOS)的通知，停止該第一控制晶片的供電；
 - 一電壓準位轉換裝置，耦接到該第二控制晶片與該系統記憶體之一時脈致能腳位，用以將該系統記憶體之該時脈致能腳位之電壓準位拉低；以及
 10. 一記憶器，用以將儲存於該第一控制晶片之該暫存器之資料暫存至該記憶器中，
 15. 其中，當計算機系統進入該暫停至記憶體模式時，預先將儲存於該第一控制晶片之該暫存器之資料暫存至該記憶器，將該系統記憶體之該時脈致能腳位之電壓準位拉低，依據基本輸出輸入系統(BIOS)的通知，停止該第一控制晶片的供電，使該計算機系統進入該暫停至記憶體模式。
 20. 13.如申請專利範圍第12項所述之暫停至記憶體模式下之省電裝置，其中該電壓準位轉換裝置包含一電晶體開關。
 25. 14.如申請專利範圍第12項所述之暫停至記憶體模式下之省電裝置，其中該電壓準位轉換裝置與該第二控制晶片耦接的接腳包含泛用輸出入(general purpose Input/output, GPIO)接腳。
 30. 15.如申請專利範圍第12項所述之暫停至記憶體模式下之省電裝置，其中該記憶器係配置於該第二控制晶片內部。
 35. 16.如申請專利範圍第12項所述之暫停至記憶體模式下之省電裝置，其中該記憶器係配置於該第二控制晶片外部，並且該記憶器與該第二控制晶片透過一系統管理匯流排(system management bus, SM bus)來連接。
 - 40.

(3)

5

- 17.如申請專利範圍第15項所述之暫停至記憶體模式下之省電裝置，其中該記憶器包含從不斷電之互補式金屬氧化物記憶體(CMOS-RAM)與電性可抹除可程式唯讀記憶體(EEPROM)兩者擇一構成。
- 18.如申請專利範圍第16項所述之暫停至記憶體模式下之省電裝置，其中該記憶器包含電性可抹除可程式唯讀記憶體(EEPROM)。
- 19.如申請專利範圍第12項所述之暫停至記憶體模式下之省電裝置，其中該系統記憶器係同步動態隨機存取記憶體(SDRAM)。
- 20.如申請專利範圍第12項所述之暫停至記憶體模式下之省電裝置，其中該第一與該第二控制晶片係整合為一單一控制晶片。

6

- 21.如申請專利範圍第12項所述之暫停至記憶體模式下之省電裝置，其中該第一與該第二控制晶片分別包含北橋(north bridge)控制晶片與南橋(south bridge)控制晶片。

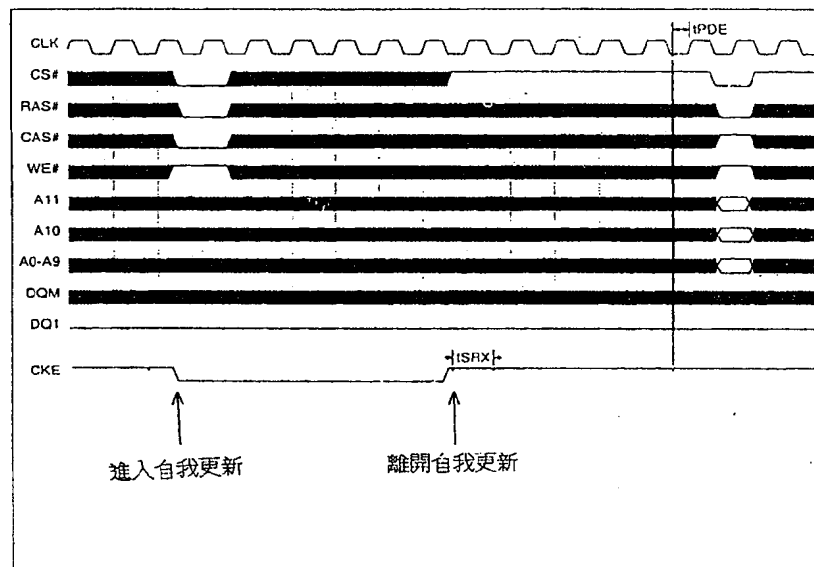
圖式簡單說明：

第一圖繪示同步動態隨機存取記憶體的自我更新操作時脈圖；

10. 第二圖繪示依據本發明之暫停至記憶體模式下之省電裝置的電路方塊示意圖；

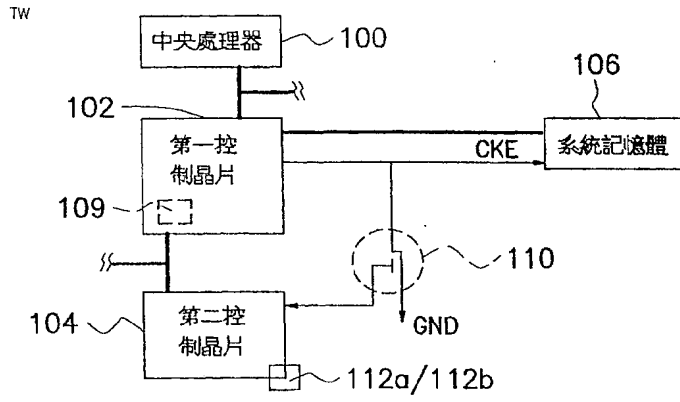
第三圖A與第三圖B分別繪示第二圖之記憶器與第二控制晶片的配置位置示意圖；以及

15. 第四圖繪示依據本發明之暫停至記憶體模式下之省電方法的操作流程示意圖。

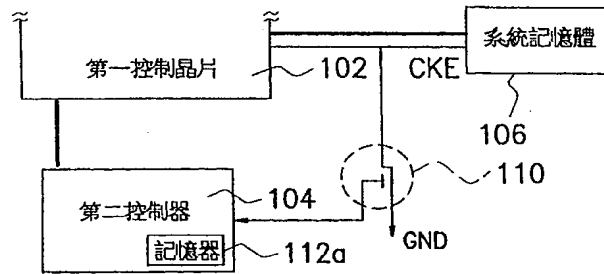


第一圖

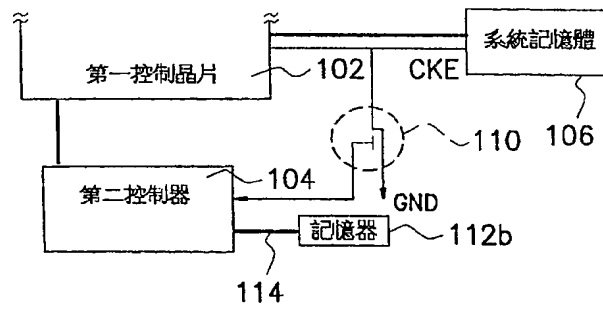
(4)



第二圖



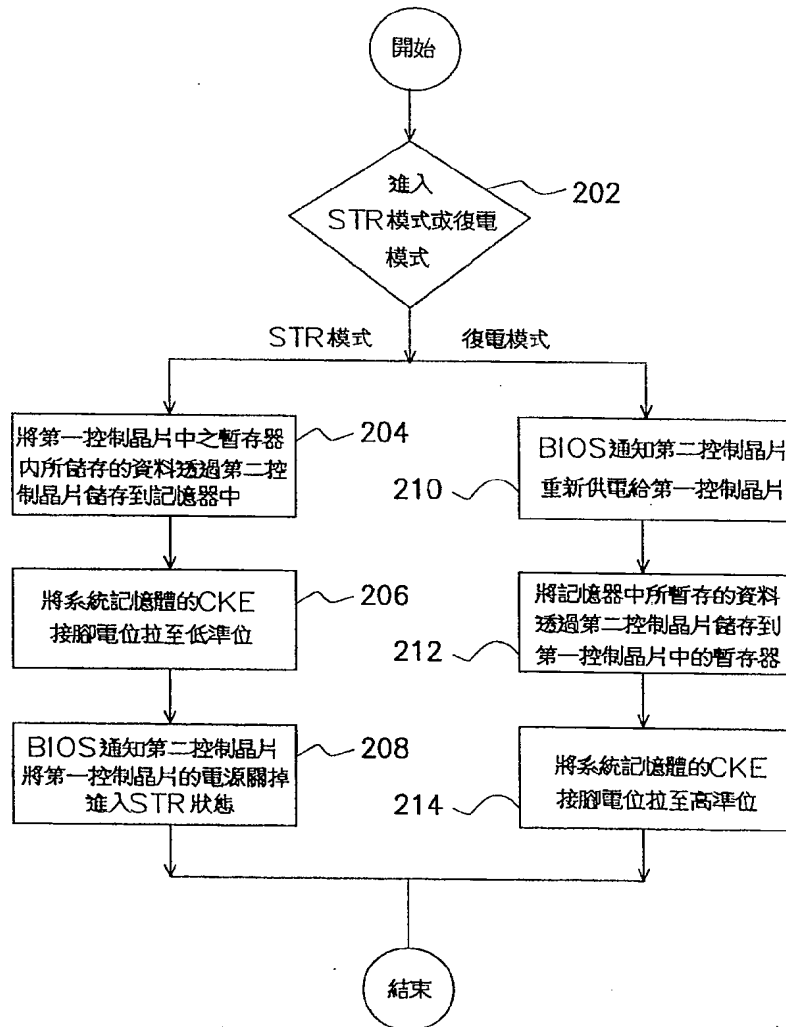
A



B

第三圖

(5)



第四圖